第2章

低コストFPGAによる640Mbps LVDSインターフェースの実現

簡単！差動インターフェース設計

西本桃子

本稿では，低コストFPGAを使って差動インターフェース回路を設計する際の注意事項を解説する．差動インターフェースを使うというとGbps伝送のイメージが強く，高性能FPGAが必要になると思いがちである．しかし，数百Mbpsのシリアル伝送であれば低コストFPGAでも実現できる．しかも，いくつかのポイントに注意すれば，それほど神経質にならなくても，きちんと設計できる．（編集部）

差動信号はチップ間やボード間のインターフェースとして使用することができる便利なインターフェースです．しかもシングルエンド信号と比べて広帯域のデータ転送が可能になります．このため，従来，パラレル・バスが用いられたインターフェースをシリアル化して，使用するピン数を減らすことができます．ピン数が少なくなれば，LSIのパッケージが小さくなり，プリント基板の層数も抑えられて，システム・コストの低減につながります．

しかし，「差動インターフェース」と聞いただけで身がまえてしまう設計者もいるようです．高性能LSIを使い，多層プリント基板を作り，そして検証は困難を極めるため，経験がないと設計がきわめて難しいと思われているのではないでしょうか．

しかし，差動インターフェースといっても標準I/O規格の一種です．いくつかの留意すべき点を押さえていれば，差動インターフェースも通常の設計と変わりありません．

本稿では，差動インターフェースを実現する際の設計上の注意点をまとめ，低コストFPGAによるLVDSインターフェース回路の設計例を紹介します．

1 FPGAを選定する際のポイント

FPGAを用いて差動インターフェースを実現するにあたり，デバイス選定時のポイントは二つあります．

- 差動信号を入出力できるI/Oピンを持つ
- PLLが利用できる

実現するデータ転送速度にもよりますが，高速シリアル・インターフェース向けの専用ハード・マクロ（SerDes回路）は，かならずしも搭載されている必要はありません．

米国Altera社のFPGAで差動インターフェースに対応可能なファミリを**表1**に示します．SerDes回路が内蔵されているのはStratix，同II，同GXのみです．しかし，低コストFPGAのCyclone，同IIでも差動インターフェースを実現することができます．

表1　差動インターフェースに対応するAltera社のFPGAの例

ファミリ名	最大差動チャネル数	最大データ転送速度	SerDes回路
Cyclone	34～129	640Mbps	なし
Cyclone II	31～261	Tx：640Mbps Rx：805Mbps	なし
Stratix	40～160	840Mbps	あり
Stratix II	80～312	1040Mbps	あり
Stratix GX	44～90	3.125Gbps	あり

● 差動信号を入出力できるI/Oピン

使用するFPGAの選定では，要求されるデータ転送速度がポイントになります．FPGAが内蔵するI/Oブロックの性能により，対応可能なデータ転送速度はFPGAファミリごとに異なります．

オーバスペックになってしまうとコストに影響します．例えば，640Mbpsのデータ転送速度が必要なときに，3Gbpsまで対応可能なデバイスを使用する必要はありません．

差動インターフェースでは，＋側（ポジティブ）と－側

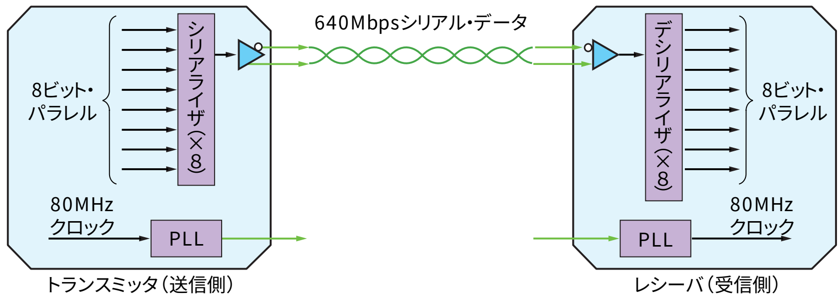


図1
差動信号伝送のイメージ
チップ間を640Mbpsの差動インターフェースでデータ転送する．FPGAの内部周波数は80MHz，チップ内で8ビット・パラレルで扱われているデータを，1チャネルのシリアルで転送する．ソース・シンクロナス方式では，データに同期するクロック信号も必要になる．

(ネガティブ)の2本の信号を用います．この2本の信号は，タイミング調整されている必要があるため，すべてのI/Oピンの中から自由な組み合わせを選んで使うことはできません．このため，デバイスごとに対応可能なチャネル数が異なります．必要な差動チャネル数とシングルエンド信号の数を考慮してFPGAファミリや規模，パッケージを検討します．

● PLLを利用する

差動インターフェースとしてすぐにイメージする規格はLVDS(low voltage differential signaling)だと思います．LVDSは，ソース・シンクロナス伝送(クロックと，そのクロックに同期したデータを同時に伝送)を行います．この場合，PLLの利用も重要なポイントとなります．

差動インターフェースは高速シリアル・インターフェースで用いられますが，LSIの中ではパラレルにデータを扱うのが一般的です．このとき，LSIの内部では受信したクロックを分周したものを使用します．分周は論理回路で実現できますが，そのままでは遅延やスキューが発生してしまいます．そこで，PLLを使用します．

PLLのポイントになるのは，以下の3項目です．

- 入力周波数
- 出力周波数
- 分周の係数

ソース・シンクロナス伝送では，送られてくるクロックを受信することになります．このクロックをPLLに入力できなければなりません．また，FPGAの内部では，シリアルで送られてきたデータをパラレル化するために，分周したクロックでラッチする必要があります．ここで必要な分周の係数に，PLLが対応している必要があります．

● 640Mbps転送を低コストFPGAで実現できるか

例えば，図1のように640Mbpsの差動信号を送受信するシステムを考えます．640Mbpsで転送するシリアル・データは，FPGA内部では8ビット・バスとして扱うものとします．したがって，FPGAの内部周波数を80MHzとします．このシステムを，低コストFPGAで実現可能かどうか検討してみましょう．

CycloneのPLL AC特性を表2に示します．トランスミッタにおけるPLL入力周波数はf_{IN}の15.625MHz～464

表2
CycloneデバイスのPLL AC特性

シンボル	パラメータ	最小値	最大値
f_{IN}	入力クロック周波数(スピード・グレード6の場合)	15.625MHz	464MHz
$f_{IN\ DUTY}$	入力クロック・デューティ比	40%	60%
$t_{IN\ JITTER}$	入力クロックのジッタ	－	±200ps
f_{OUT_EXT}	デバイス外部への出力クロック周波数(スピード・グレード6の場合)	15.625MHz	320MHz
f_{OUT}	デバイス内部への出力クロック周波数(スピード・グレード6の場合)	15.625MHz	405MHz
$t_{OUT\ DUTY}$	デバイス外部への出力クロック・デューティ比(デューティ比を50%で設定した場合)	45%	55%
t_{JITTER}	デバイス外部への出力クロック・ジッタ	－	±300ps
t_{LOCK}	コンフィグレーション後に必要なロック時間	10μs	100μs
t_{VCO}	PLL内部のVCOの動作範囲	500MHz	1000MHz
M	カウンタ値	2	32
N，$G0$，$G1$，E	カウンタ値	1	32

2

表3
Cyclone デバイスのLVDS AC 特性（×8 モード）

シンボル	概　要	最小値	標準値	最大値
f_{HSCLK}	レシーバ/トランスミッタへの入力クロック周波数	15.625MHz	－	80MHz
HSIODR	レシーバ/トランスミッタの入力/出力データ・レート	125Mbps	－	640Mbps
$f_{HCLKOUT}$	LVDS データ・チャネルを使用したトランスミッタのクロック出力周波数	15.625MHz	－	320MHz
T_{CCS}	チャネル間スキュー	－	－	±150ps
SW	サンプリング・ウィンドウ　SW=$t_{sw(max)}-t_{sw(min)}$	－	－	500ps
Input jitter rolerance（peak-to-peak）	PLLがロックするのに必要な入力クロックの入力ジッタ	－	－	400ps
Output jitter（peak-to-peak）	PLLからの出力ジッタ（peak-to-peak）	－	－	400ps
t_{RISE}	“L”→“H”の遷移時間	150ps	200ps	250ps
t_{FALL}	“H”→“L”の遷移時間	150ps	200ps	250ps
t_{DUTY}	LVDS トランスミッタの出力クロック・デューティ比	45%	50%	55%
t_{LOCK}	PLL のロック時間	－	－	100μs

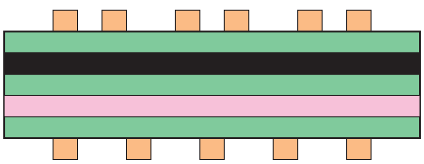


図2　4層基板による差動インターフェースの実現
差動信号層とシングルエンド信号層の間に電源層とグラウンド層を挟む．

MHz，レシーバのPLLからの出力クロック周波数f_{OUT}は15.625MHz～405MHzです．FPGA の内部周波数である80MHzに対応しています．

表3はシリアライザ，デシリアライザがそれぞれ×8，×1/8の場合におけるCycloneのLVDS AC特性です．入出力のデータ転送速度HSIODRは125Mbps～640Mbpsです．640Mbpsの伝送を実現できることがわかります．

2 プリント基板を設計する際のポイント

差動インターフェースを採用したシステムの開発では，プリント基板の設計が大きなポイントになります．扱う信号が数百Mbpsの場合，いくつかの点にさえ注意しさえすればよく，それほど難しいものではありません．

● 4層基板でもかまわない

実装する部品の数やピン数にも依存しますが，差動インターフェースを実現するからといってかならずしも十数層の基板が必要なわけではありません．4層基板でも差動インターフェースは実現できます．**図2**のように，差動信号層とシングルエンド信号層の間に電源層とグラウンド層を挟みます．

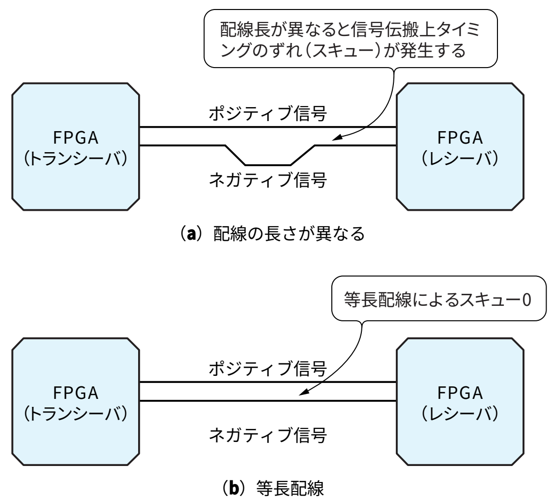


図3　差動信号は等長配線を行う
2本の信号のパターンが同じ長さになるようにする．

最近のLSIは，複数の電源を使用することが少なくありません．FPGAであれば，コア電圧とI/O電圧が必要です．また，複数のI/Oバンクを持ち，バンクごとに電圧を設定できます．このように，最近のシステムは多くの電源系統を持つことがあります．しかし，差動信号層とシングルエンド信号層を個別に用意しても，電源層とグラウンド層を加えた計4層で実現できるわけです．

電源系統が増える場合には，信号層の間に電源層やグラウンド層を挟んでいくようにします．

● 差動ペアの配線長を合わせる

差動インターフェースでいちばん注意する点は「等長配線」です（**図3**）．

差動インターフェースでは2本の信号線を使用します．2

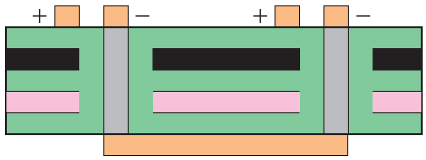


図4　配線の条件が異なってしまうと…
異なる配線層を使ってしまうと，スルー・ホールの影響によりインピーダンスの不一致を招いてしまう．配線層が異なれば等長配線も困難で，スキューが発生する．

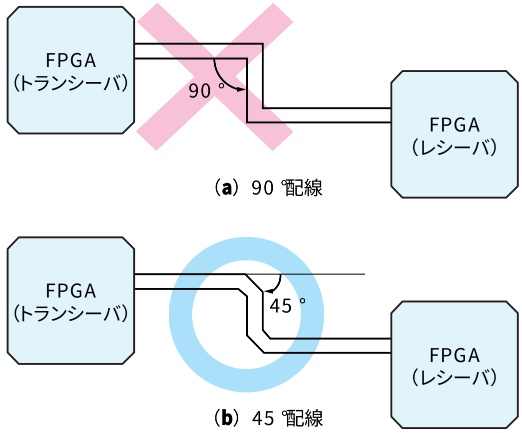


図5　配線を曲げるときは45 °以内にする
パターンを急激に曲げてしまうとインピーダンスが下がり，反射が発生する．パターンを曲げる場合は45 °以内に抑える．

本の信号線の電位差で"H"か"L"かを判断するため，信号伝搬にタイミングのずれ(スキュー)が発生してしまうと，正しく認識することができなくなってしまいます．そのため，プリント基板設計では，2本の信号のパターンが同じ長さになるように注意する必要があります．また，データとクロックの間や，複数のチャネルを用いるデータ転送では，データ・チャネル間においてもスキューが小さくなるように配線長に注意する必要があります．

ところで，「等長」とは言っても，厳密に同じ長さにすることは困難です．そこで「どの程度の精度で同じ長さにすればよいのか」という疑問が生まれてきます．

これは使用するデータ転送速度によって異なります．大ざっぱな計算になりますが，電気信号は30cmで約1ns遅延します．10mmで約30ps遅延することになります．LVDSで640Mbpsを実現しようとした場合，誤差を1%以下と決めると，配線遅延を15ps以下に抑える必要があります．すると，プリント基板上の配線長の差を約5mm以下にする必要があることになります．

プリント基板の大きさを考えると5mmというのは短く感じられるかもしれません．しかし，プリント基板のパターン設計の経験があれば，思ったよりも余裕があると感じることでしょう．プリント基板設計では，バス信号について同じような計算をつねに行ってきました．そう考えると，配線長に対する配慮もこれまでの設計とあまり差異がないことがわかります．

● 配線の条件を合わせる

差動インターフェースでは，ノイズを受けたとしても2本の線に同じようにノイズが載ることによって，信号は正常に伝送できるというメリットがあります．このメリットを得るためには，2本の信号線の条件をできる限り同じようにしなければなりません．配線の条件が異なればインピーダンスや外部から受ける影響が変わってしまいます．

例えば4層基板の場合，図4のように＋側(ポジティブ)を表層に配線し，−側(ネガティブ)を4層目に配線すると，スルー・ホールの影響によって＋側(ポジティブ)信号に対して−側(ネガティブ)信号のインピーダンスが高くなってしまい，誤認識されてしまうこともあります．また，配線層が異なれば等長配線も困難になります．2本の信号は同じ層に配線します．

● ゆるやかに曲げる

パターン設計時に注意することは，差動信号の配線を直角に曲げないことです．円を描くように配線するのが理想ですが，プリント基板CADによる設計作業を考えるとこれは困難です．

そのため，一般的には差動信号の配線を曲げる場合は，図5のように45 °以内に抑えます．これ以上急激に曲げてしまうとインピーダンスが下がり，信号の反射が発生してしまいます．

プリント基板を立体的に見れば，スルー・ホールは90 °配線になります．この点からもスルー・ホールはなるべく使わないほうがよいでしょう．

● パターン上には極力部品を置かない

最近のLSIのような表面実装型の部品をスルー・ホールを使わずに配線しようとすると，必然的にパターンは表層になります．表層には部品がたくさん実装されており，表層だけでは配線が難しくなってくることがあります．

表層だけで差動信号の配線が困難な場合は，図6のように

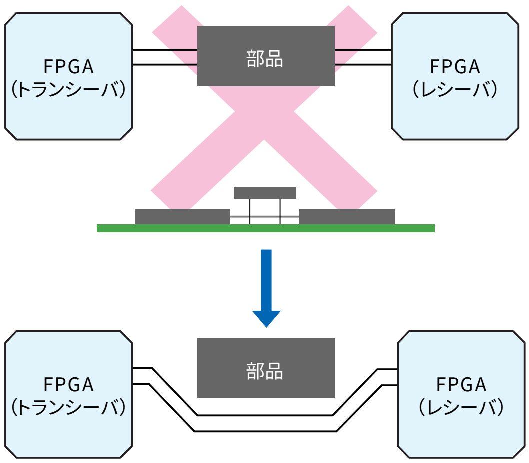
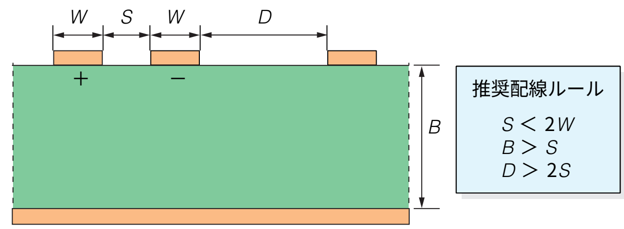


図6　配線の上に部品を置かない



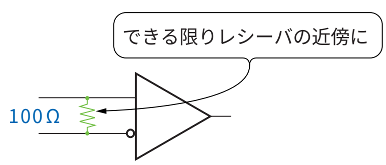
W：差動信号の1本の配線幅　D：そのほかの差動信号との距離
S：差動信号のペアの間隔　B：絶縁層の厚さ

図7　差動ペアの配線間隔のルール

差動ペアの間隔は，差動信号の配線幅の2倍以下に抑える．ほかの差動ペアとの間は，差動ペア間隔の2倍以上にする．シングルエンドの信号を同層に配置する場合は，差動ペア間隔の3倍以上にする．

図8
LVDSの終端抵抗

LVDSでは終端抵抗が必要．表面実装型の抵抗をレシーバ・ピンのすぐ近くに実装する．



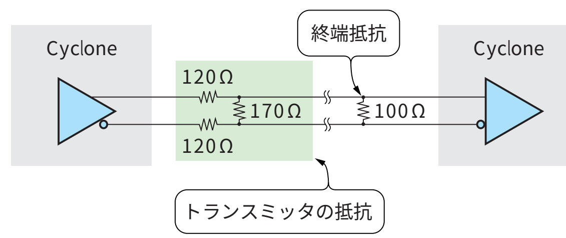


図9　CycloneによるLVDSインターフェース

Cycloneを使う場合はトランスミッタ側に抵抗が必要．

2本の線の条件を極力合わせて，ほかの層へ配線を行います．

● 差動ペアの配線間隔のルールを守る

パターン設計では差動信号ペアの配線間隔のルールを守る必要があります．一般的に推奨されている配線ルールを**図7**に示します．

差動信号ペアの配線ライン間隔(S)はなるべく狭くします．近くに配置することによってノイズの影響を同等に受けるため，誤認識する可能性が低くなります．

また，ほかの信号との間隔(D)は多めにとります．とくに振幅の大きいシングルエンドの信号を同層に配置する場合はノイズの影響を防ぐために$3W$以上間隔をあけることを目安にします．

プリント基板の配線密度が高く，ほかの信号との間隔を多めにとれない場合は，ガードリングでクロストークを防ぐ方法もあります．

● LVDSの終端抵抗はレシーバの直近に実装する

LVDSでは，終端抵抗が必要になります．この場合，表面実装型の抵抗をレシーバ・ピンのすぐ近くに実装します(**図8**)．レシーバ・ピンからの距離が長くなるとスタブとなってノイズをひろいやすくなるからです．

BGA(ball grid array)パッケージの場合，**図8**のように実装できないケースがありますが，そのときはピン近傍に配置することを心がけます．

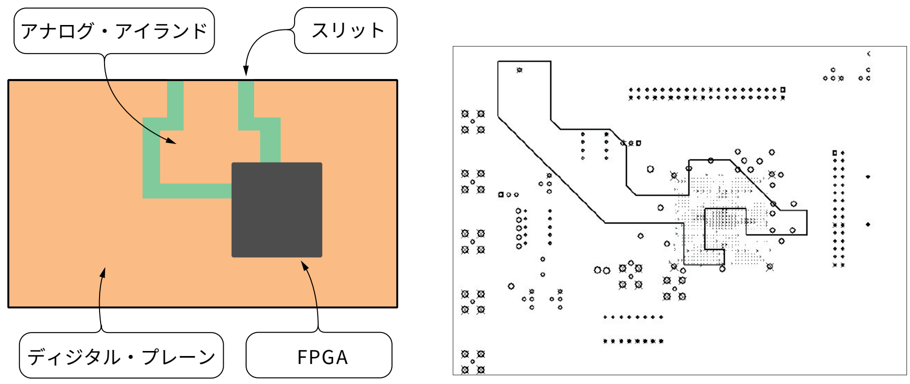
通常，LVDS信号の場合はレシーバ・ピンの近傍に100Ωの差動終端抵抗があればよいのですが，Cycloneを使う場合はバッファの特性上，トランスミッタ側にも抵抗が必要になります(**図9**)．

規定されている終端抵抗を適切に挿入することでインピーダンス整合がとれ，より品質の高い信号の送受信が可能となります．

● 安定した電源を供給する

差動インターフェースを実現する場合，PLLを使用します．FPGAが内蔵するPLLは，アナログPLLのため，専用の電源ピンが用意されています．ディジタル回路とは分離したアナログ電源を供給します．

ところで，4層基板構成の場合，アナログ電源とディジタル電源の層を別に用意することができません．このようなとき，**図10**のようにアナログ電源とディジタル電源をスリットで分離します．また，ディジタル電源とアナログ電源を一つの電源回路で生成する場合は，フェライト・ビ



(**a**) スリットで分離　　(**b**) 電源層のパターン例

図10
アナログ電源とディジタル電源のパターン
アナログ電源とディジタル電源をスリットで分離する．

ーズなどを挿入してノイズ・カットを行います．

電源にDC-DCコンバータを用いる場合は，スイッチング・ノイズを吸収するためのデカップリング・コンデンサが必要になります(図11)．スイッチング・ノイズが少ない電源も世の中にはありますが，低コストFPGAを使用するというのに高価なDC-DCコンバータを利用するのはもったいない話です．この場合，コスト・メリットのあるリニア・レギュレータを使用します．スイッチング・レギュレータと比較した場合，リニア・レギュレータはリプルとノイズが小さいうえ，低周波や高周波の成分をカットできるコンデンサを挿入すれば安定した電源を供給できるからです．

電源付近にフェライト・ビーズとコンデンサを置くことによってLCフィルタを構成し，ノイズの低減を図ることができます．そして，実装面積の小さい積層セラミック・コンデンサをFPGA側に置くことによって高周波バイパス・コンデンサとして活用できます．これにより，電源ノイズをカットできる構成となります．

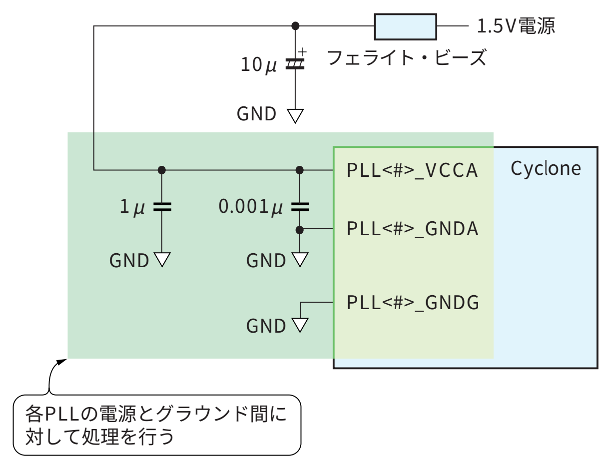


図11　アナログ電源の設計
スイッチング・ノイズを吸収するためのデカップリング・コンデンサが必要．

③ 論理回路設計の際のポイント

低コストFPGAには，SerDes回路が内蔵されていません．このため，シリアル-パラレル回路を設計する必要があります．シリアル-パラレル回路は設計が比較的容易な回路ですが，高速に動作する部分でもあるため，検証に時間がかかります．

Altera社のFPGAの場合，FPGA設計ツール「Quartus II (Web Editionを含む)」にはマクロ・ライブラリとしてALTLVDSが用意されています．データ転送速度やパラレル・データのビット幅，入力クロック周波数を設定するだけでシリアライザやデシリアライザが自動生成されます．また，必要なPLLも自動的に生成されます．

図1で示したシステムを設計する際には，図12のように設定します．

ここでトランスミッタのデバイス外部への出力クロック周波数ですが，CycloneのPLL出力周波数範囲f_{OUT_EXT}が15.625MHz～320MHzとなっているため，出力クロック周波数を320MHzとします．データと同期しているクロックであれば問題ないため，320MHzという最大値を指定します．

ALTLVDSの設定によって，PLLだけでなくシリアライザやデシリアライザが自動的に生成されます．PLLが4倍や1/4倍になっているため，データ転送速度が320Mbpsとなります．そこで640Mbpsのデータ転送速度を送受信するためにクロックの立ち上がり/立ち下がりエッジ用のマクロを使用します．

2

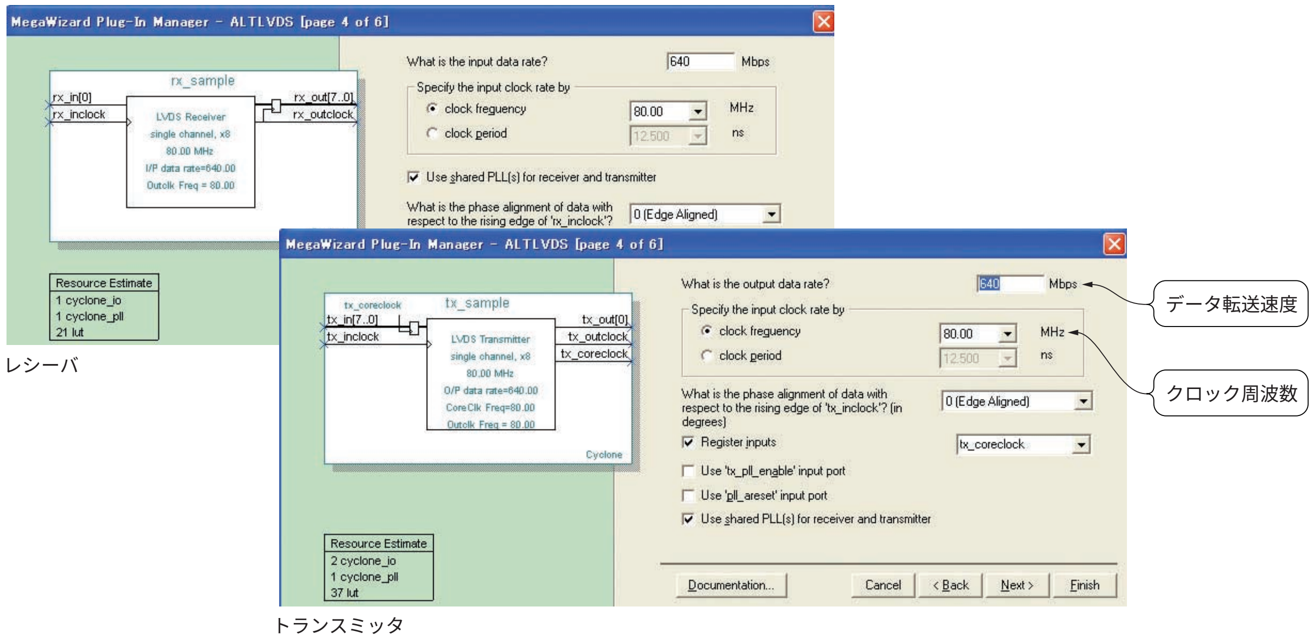
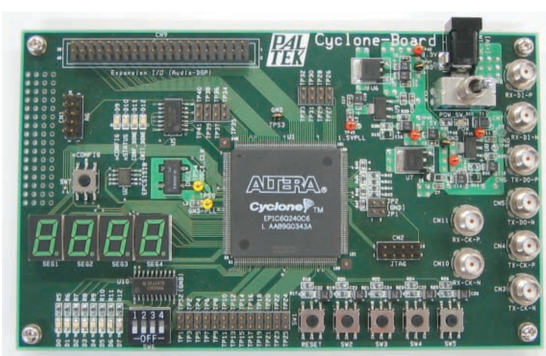
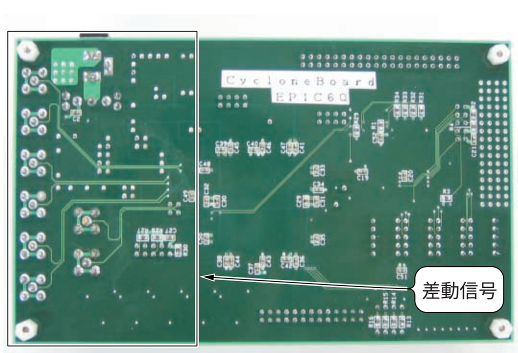


図12　ALTLVDSの画面
データ転送速度やPLLで扱うクロック周波数などを指定する．



（a）部品面



（b）裏面（差動信号層）

写真1　Cycloneボードの写真
デバイスはAltera社の「Cyclone EP1C6Q240」．ボードはLVDS 640Mbps 1チャネルを実現するためのもの．差動信号は裏面を使用しているが，ペア信号が同じ条件で等長になるように配線した．電源回路などのため，部品面に作動信号を配線できなかった．

4 640MbpsのLVDSインターフェースをCycloneで実現

今回，Altera社のCycloneファミリのうち「EP1C6Q240C6」を搭載したボードを設計しました（**写真1**）．このボードの設計で考慮したのは以下の4点だけです．

- 差動信号（LVDS）の等長配線
- 同一層配線
- スキュー調整（配線誤差を2mm以下に抑える）
- 45°配線

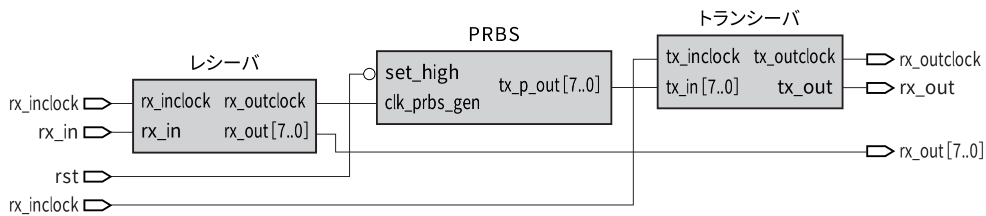
LVDSのシリアライザとデシリアライザは，ALTLVDSを使用しました．

図13はトランスミッタとレシーバを接続したサンプル回路のブロック図です．トランスミッタから出力されたLVDS出力データのアイ・パターン観測のため，データ生成ブロックとしてPRBS（pseudo-random binary sequence）回路を挿入しています．

コンパイル（論理合成・配置配線）結果を**図14**に示します．シリアライザ/デシリアライザを論理ブロックを使って実現していますが，228ロジック・エレメント（LE：Logic Element）しか使用していません．ここにはパターン生成用のPRBS回路が含まれています．228LEというのは，EP1C6Q240C6が持つ5980LEのうちの約3％に相当します．

640Mbpsのデータ送信の波形をオシロスコープで観測し

図13
サンプル回路のブロック図
トランスミッタとレシーバで構成している．アイ・パターン観測のため，Cycloneデバイス内部ではデータ生成ブロックとしてPRBS（pseudo-random binary sequence）回路を挿入している．



Flow Status	Successful - Sat Jul 23 00:15:54 2005
Quartus II Version	5.0 Build 168 06/22/2005 SP 1 SJ Full Version
Revision Name	top
Top-level Entity Name	top
Family	Cyclone
Device	EP1C6Q240C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	228 / 5,980 (3 %)
Total pins	18 / 185 (9 %)
Total virtual pins	0
Total memory bits	0 / 92,160 (0 %)
Total PLLs	2 / 2 (100 %)

図14　サンプル回路の合成結果
シリアライザ/デシリアライザを論理ブロックを使って実現しているが，228LEしか使用していない．

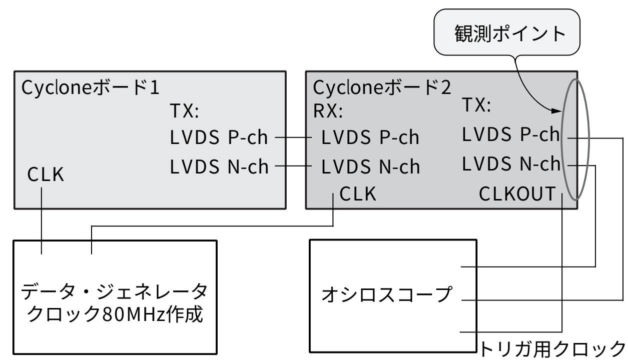


図15　測定環境
トランスミッタ・データ用のSMAコネクタを約1mのSMAケーブルでオシロスコープに接続し，トランスミッタ内のPLLから出力された320MHzの差動クロック信号でトリガをかける．

てみました（**図15**）．トランスミッタ・データ用のSMAコネクタを約1mのSMAケーブルでオシロスコープに接続し，トランスミッタ内のPLLから出力された320MHzの差動クロック信号でトリガをかけました．その結果が**図16**のオシロスコープの波形です．

クロス・ポイントが若干上部に位置していますが，専用のシリアライザ/デシリアライザが内蔵されていないにもかかわらず，きれいなアイ・パターンになっています．クロス・ポイントが上部に位置してしまうのはシリアライザを論理で実現していることが原因ですが，アイの開口部は十分開いており，LVDS信号を受信するうえで問題はありません．

低コストFPGAのCycloneであっても，640Mbpsという差動インターフェース（LVDS）を簡単に実現できます．差動インターフェースは難しく思われがちですが，メリットはたくさんあります．まずは安価なFPGAで差動インターフェースを実現してみませんか？

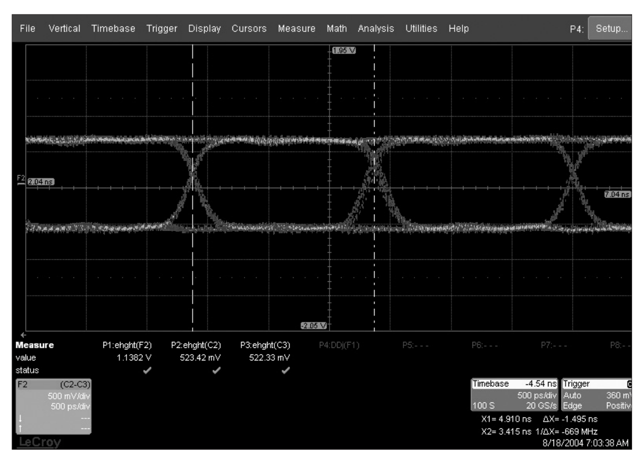


図16　640Mbpsのデータ送信波形
専用のシリアライザ/デシリアライザが内蔵されていないにもかかわらず，きれいなアイ・パターンを観測できた．

参考・引用*文献

(1) Cyclone Device Handbook，Altera.
(2) PALTEK Solution Data Base（PSDB），http://yacht2.paltek.co.jp/login/knin.nsf/Loginform?Openform

にしもと・ももこ
（株）パルテック

<筆者プロフィール>
龍谷大学 理工学部卒業．1997年パルテックに入社．現在はアプリケーション・エンジニアとして，FPGAや開発ツールのサポートをしながらDDR2 SDRAMインターフェースの基板設計や回路設計・検証を行っている．

2